

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-284463
(43)Date of publication of application : 12.10.2001

(51)Int.Cl. H01L 21/8234
H01L 27/088
H01L 21/283
H01L 21/316
H01L 21/318
H01L 27/10

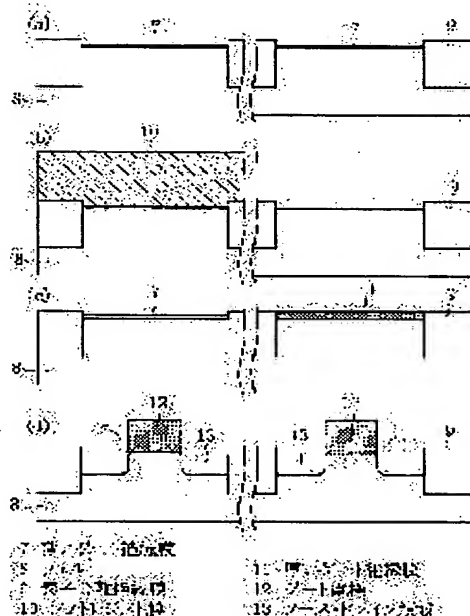
(21)Application number : 2000-092672 (71)Applicant : NEC CORP
(22)Date of filing : 30.03.2000 (72)Inventor : TOGO MITSUHIRO

(54) SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING IT

(57)Abstract:

PROBLEM TO BE SOLVED: To form a gate insulating film having equal to or more than two kinds of film thicknesses in the same substrate with an excellent stability and controllability.

SOLUTION: At first, a silicon nitride film 7 having a first thickness is formed on an entire surface of an element region, and next after the silicon nitride film is removed only from the region having a second thickness, again the silicon oxide is formed on the entire surface by the method combined oxidation with nitriding. Then, because a portion of silicon nitride film has a strong oxidation resistance, the film thickness does not increase and keeps a determined film thickness in the early stage, and the silicon oxide 11 having the second thickness is formed on the other portion. In this way because of forming two kinds of film thicknesses at once, both film thicknesses can be formed with the excellent stability and controllability.



LEGAL STATUS

[Date of request for examination] 15.02.2001
[Date of sending the examiner's decision of rejection] 06.03.2003
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2001-284463
(P2001-284463A)

(43)公開日 平成13年10月12日(2001. 10. 12)

(51)Int.Cl. ⁷	識別記号	F I	テームコード ⁸ (参考)
H 0 1 L	21/8234	H 0 1 L 21/283	N 4 M 1 0 4
	27/088	21/316	S 5 F 0 4 8
	21/283		X 5 F 0 5 8
	21/316	21/318	C 5 F 0 8 3
		27/10	4 6 1

審査請求 有 請求項の数9 OL (全 8 頁) 最終頁に続く

(21)出願番号 特願2000-92672(P2000-92672)

(22)出願日 平成12年 3 月30日(2000. 3. 30)

(71)出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72)発明者 東郷 光洋

東京都港区芝五丁目7番1号 日本電気株
式会社内

(74)代理人 100096253

弁理士 尾身 祐助

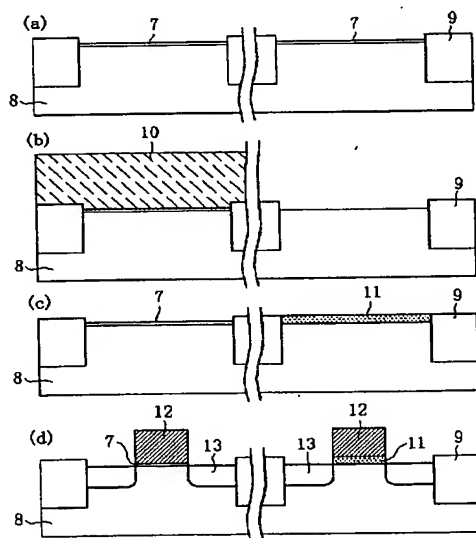
最終頁に続く

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 同一基板上に2種類以上の膜厚を有するゲート絶縁膜を、安定かつ制御性良く形成する。

【解決手段】 最初に素子領域全面に第1の厚みを持つシリコン窒化膜7を形成し、次に第2の厚みを形成する領域のみシリコン窒化膜を除去した後、再び全面に酸化と窒化を組み合わせた方法によりシリコン酸化膜を形成する。この時シリコン窒化膜の部分は耐酸化性が強いので膜厚は増えず初期に決定した膜厚であり、他の部分は第2の厚みを持ったシリコン酸化膜11が形成される。このようにして2種類の膜厚を一度で形成するため、両膜厚を安定かつ制御性よく形成することができる。

7 薄いゲート絶縁膜
8 ウェル
9 素子分離絶縁膜
10 フォトリソグレイ膜11 厚いゲート絶縁膜
12 ゲート電極
13 ソース・ドレイン領域

(図2)

(2)

特開2001-284463

1

【特許請求の範囲】

【請求項1】 同一基板上にそれぞれ異なる膜厚のゲート絶縁膜を有する複数の電界効果トランジスタが形成された半導体装置において、膜厚が最も薄いゲート絶縁膜はシリコン基板に直接接する耐酸化性膜を含んで形成され、それ以外の膜厚のゲート絶縁膜はシリコン酸化膜またはシリコン酸窒化膜を含んで形成されていることを特徴とする半導体装置。

【請求項2】 前記各ゲート絶縁膜は、上層部にそれぞれ誘電率が窒化シリコンより高い高誘電率膜を有することを特徴とする請求項1記載の半導体装置。

【請求項3】 前記耐酸化性膜がシリコン窒化膜であることを特徴とする請求項1または2記載の半導体装置。

【請求項4】 前記シリコン窒化膜の窒素含有率が、12～57atom%であることを特徴とする請求項3記載の半導体装置。

【請求項5】 前記シリコン酸化膜または前記シリコン酸窒化膜の窒素含有率が、5atom%以下であることを特徴とする請求項1～4の何れかに記載の半導体装置。

【請求項6】 複数の素子領域内にそれぞれ異なる膜厚のゲート絶縁膜を有する電界効果トランジスタを含む半導体装置の製造方法であって、

(1) 複数の素子領域にそれぞれ薄い第1の膜厚の耐酸化性膜を形成する工程と、

(2) 薄いゲート絶縁膜を形成する素子領域上を除く領域の前記耐酸化性膜をエッチング除去する工程と、

(3) 前記耐酸化性膜を酸化または酸窒化マスクとして酸化または酸窒化を行い、前記耐酸化性膜が形成された領域以外の素子領域上に前記第1の膜厚より厚いシリコン酸化膜またはシリコン酸窒化膜を形成する工程と、

(4) 導電膜を堆積しこれをパターンニングして複数の素子領域にゲート電極を形成する工程と、

(5) 複数の素子領域内にそれぞれソース・ドレイン領域を形成する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項7】 前記素子領域が3以上存在し、前記第1の膜厚のゲート絶縁膜と最大膜厚のゲート絶縁膜との間の中間膜厚のゲート絶縁膜をそれぞれ有する電界効果トランジスタを有する半導体装置の製造方法であって、前記第(3)の工程と前記第(4)の工程との間に、
①中間膜厚のゲート絶縁膜を形成する領域上のゲート絶縁膜をエッチング除去する工程と、
②前記耐酸化性膜を酸化または酸窒化マスクとして酸化または酸窒化を行い、前記耐酸化性膜が形成された領域以外の素子領域上に前記第1の膜厚より厚いシリコン酸化膜またはシリコン酸窒化膜を形成する工程と、が1回ないし複数回挿入されることを特徴とする請求項6記載の半導体装置の製造方法。

【請求項8】 前記第(3)の工程と前記第(4)の工

2

程との間に、または、前記第②の工程と前記第(4)の工程との間に、誘電率が窒化シリコンより高い高誘電率膜を堆積する工程が挿入されることを特徴とする請求項6または7記載の半導体装置の製造方法。

【請求項9】 前記第(1)の工程で形成される耐酸化性膜が窒素含有率が12～57atom%であるシリコン窒化膜であって、前記第(3)または前記第②の工程の酸化または酸窒化が800℃以下の温度で行われることを特徴とする請求項6～8の何れかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、絶縁ゲート型の電界効果トランジスタ（以下、酸化膜以外のゲート絶縁膜を有するものをも含めてMOSFETと記す）を含んでなる半導体装置に関し、より詳しくは、同一基板上に異なる膜厚のゲート絶縁膜を有するMOSFETを含む半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】DRAMやSRAMとロジック回路、ロジック回路内のCPU部と入出力インターフェース部等、異なる機能の回路や使用する電圧の異なる回路を混載する場合、同一基板上に異なる構造に設計したMOSFETを形成する必要がある。この場合に、MOSFETの用途に応じてゲート電極に加える電圧が異なったり用途に応じて要求される駆動能力が異なったりすることが多いため、同一基板上にゲート絶縁膜の膜厚を変えてMOSFETを形成することが必要となる。しかし、極薄でなおかつ異なる膜厚のゲート絶縁膜を再現性よくかつ高精度に形成することは難しく、このことが異なる機能を混載したLSIを製造する際の重要な技術課題となっている。

【0003】図6は、異なる膜厚のゲート絶縁膜のMOSFETを同一基板上に形成する従来技術を示す工程順の断面図である。まず、ウェル40上に素子分離絶縁膜41をシリコン酸化膜(SiO₂)にて形成し、次に、素子領域全面に熱酸化によりシリコン酸化膜からなるゲート絶縁膜39を形成する〔図6(a)〕。次に、薄いゲート絶縁膜を形成する領域のゲート絶縁膜のみをフォトリソグラフ膜42をマスクとするエッチングにより除去する〔図6(b)〕。さらに、素子領域全面に熱酸化を行うと、ゲート絶縁膜が除去された領域には薄いゲート絶縁膜43が形成され、マスクされた領域には更に酸化が行われたことにより厚いゲート絶縁膜44が形成される。この結果所望の2種類の厚みを持った薄いゲート絶縁膜と厚いゲート絶縁膜が形成される〔図6(c)〕。さらに、前記薄いゲート絶縁膜と厚いゲート絶縁膜の上にポリシリコン、窒化タングステン、タングステンの3層構造(W/WN/Polysilicon)のゲート電極45を形成し、最後にソース・ドレイン領域46

50

(3)

特開2001-284463

3

を形成する〔図6(d)〕。

【0004】

【発明が解決しようとする課題】しかしながら、エッチングおよび再酸化を用いたこの手法では、例えば微細化が行われた3nmより薄いゲート絶縁膜を有するトランジスタと、8nm程の厚いゲート絶縁膜を有するトランジスタを同じウェハ上に形成する場合のように、大きな膜厚差の絶縁膜を安定して得ることが難しい。しかも、3種類の膜厚のゲート絶縁膜を同じウェハ上に形成する場合、更に膜厚の制御性が悪くなるという問題が発生する。

【0005】また、大きな膜厚差のゲート絶縁膜を有する電界効果トランジスタを同じウェハ上に形成する場合、次の問題が起こる。駆動能力を高めるためにゲート絶縁膜厚を薄くすると、pチャネルMOSFET(以下、pMOSFETと記す)におけるボロンの突き抜け問題が顕著に生じるため、ゲート絶縁膜へ窒素を導入する必要性が生じる。しかし、ゲート絶縁膜へ窒素を導入した場合、窒素を導入しないゲート絶縁膜を用いた場合よりエッチングおよび再酸化の制御性が悪くなり、異なる膜厚のゲート絶縁膜を安定して形成することが更に難しくなる。

【0006】上述したように、駆動能力を高めるべくゲート絶縁膜を薄くしたpMOSFETではボロン突き抜け対策として窒素添加ゲート絶縁膜やゲート窒化膜が用いられるが、一方、厚いゲート絶縁膜を用いるトランジスタでは、ゲートリーク電流が流れず、また絶縁膜耐圧や長期信頼性が高いゲート酸化膜を使用することがより適している。而して、近年、ゲート絶縁膜にTa₂O₅やTiO₂などの高誘電率膜を使用することが試みられているが、これらの高誘電率膜は熱酸化や熱窒化より膜厚制御性のよくない成膜法により形成されるため、高誘電率膜によって膜厚の異なるゲート絶縁膜を形成することは困難である。

【0007】本発明の主な目的は、同一基板上に2種類以上の安定した膜厚のゲート絶縁膜を有するMOSFETを含む半導体装置およびその製造方法を提供することにある。また、本発明の他の目的は、高誘電率膜を使用した場合にも膜厚の制御性が異なる膜厚のゲート絶縁膜を形成しうるようにすることである。

【0008】

【課題を解決するための手段】上記の目的を達成するため、本発明によれば、同一基板上にそれぞれ異なる膜厚のゲート絶縁膜を有する複数の電界効果トランジスタが形成された半導体装置において、膜厚が最も薄いゲート絶縁膜はシリコン基板に直接接する耐酸化性膜を含んで形成され、それ以外の膜厚のゲート絶縁膜はシリコン酸化膜またはシリコン酸窒化膜を含んで形成されていることを特徴とする半導体装置、が提供される。

【0009】また、上記の目的を達成するため、本発明

4

によれば、複数の素子領域内にそれぞれ異なる膜厚のゲート絶縁膜を有する電界効果トランジスタを含む半導体装置の製造方法であって、(1)複数の素子領域にそれぞれ薄い第1の膜厚の耐酸化性膜を形成する工程と、

(2)薄いゲート絶縁膜を形成する素子領域上を除く領域の前記耐酸化性膜をエッチング除去する工程と、

(3)前記耐酸化性膜を酸化または酸窒化マスクとして酸化または酸窒化を行い、前記耐酸化性膜が形成された領域以外の素子領域上に前記第1の膜厚より厚いシリコン酸化膜またはシリコン酸窒化膜を形成する工程と、

(4)導電膜を堆積しこれをパターンニングして複数の素子領域にゲート電極を形成する工程と、(5)複数の素子領域内にそれぞれソース・ドレイン領域を形成する工程と、を有することを特徴とする半導体装置の製造方法、が提供される。

【0010】【作用】本発明による半導体装置は、薄い膜厚のゲート絶縁膜にシリコン窒化膜などの耐酸化性膜を用い、厚い膜厚のゲート絶縁膜をシリコン酸化膜または窒素濃度の低いシリコン酸窒化膜で構成することを特徴としている。よって、薄いゲート絶縁膜は、ボロン突き抜けを抑制し、良好な駆動能力を得ることができる。また、シリコン窒化膜は、シリコン酸化膜より誘電率が高いため、同じ電流駆動能力を得ようとした場合シリコン酸化膜を用いるより厚いゲート絶縁膜に設計することができる。その結果、トンネル電流等のゲートリーク電流を抑制することができる。また、厚いゲート絶縁膜にシリコン酸化膜若しくは窒素濃度の低いシリコン酸窒化膜を用いることにより、耐圧や経時劣化に関して信頼性が向上し、さらにゲートリーク電流特性も良くなる。

【0011】本発明によるゲート絶縁膜の形成方法は、まず、薄い膜厚のゲート絶縁膜として耐酸化性の高い耐酸化性膜を形成し、次に、薄い膜厚のゲート絶縁膜が持つ強い耐酸化性を利用して厚い膜厚のゲート絶縁膜部のみをシリコン酸化で形成するため、それぞれの膜厚を一度の成膜で形成することができ膜厚制御性がよい。

【0012】

【発明の実施の形態】次に、図面を参照して本発明の実施の形態について説明する。図1は、本発明の第1の実施の形態を示す断面図である。図1に示されるように、ウェル1は素子分離絶縁膜3により複数の素子領域に分離されている。本実施の形態の半導体装置においては、薄い膜厚のゲート絶縁膜6はシリコン窒化膜(Si₃N₄)などの耐酸化性膜を用いて形成し、厚い膜厚のゲート絶縁膜4はシリコン酸化膜または窒素濃度の低いシリコン酸窒化膜にて形成する。さらに前記薄いゲート絶縁膜6と厚いゲート絶縁膜4の上にはポリシリコン、窒化タングステン、タングステンの3層構造のゲート電極5が形成され、ウェル1内にはゲート電極5を挟んでソース・ドレイン領域2が形成されている。

【0013】図2(a)～(d)は、本発明の第1の実

5

施の形態の製造方法を示す工程順の断面図である。ウェル8上に素子分離絶縁膜9を形成して複数の素子領域に分離した後、各素子領域上に耐酸化性の高い薄いゲート絶縁膜7を形成する〔図2(a)〕。この工程により形成されたゲート絶縁膜7は高い耐酸化性を有していることが要求される。ここで、高い耐酸化性とは後の熱酸化、熱酸化窒化工程において膜厚が変化しないことである。そのために、例えば、シリコン窒化膜でゲート絶縁膜7を形成した場合には、窒素濃度は12~57atôm%の範囲内に入るようにコントロールされる。次に、薄いゲート絶縁膜を形成する領域上にフォトレジスト膜10を形成し、これをマスクとしてウェットエッチングにより、厚いゲート絶縁膜を形成する領域のゲート絶縁膜7を除去する〔図2(b)〕。更に酸化または酸化と窒化を組合せた方法により、厚いゲート絶縁膜11を形成する〔図2(c)〕。この工程では、薄いゲート絶縁膜7の膜厚が変化することのない800℃以下の条件にて熱酸化または熱酸化窒化が行われる。また、形成された酸化膜、酸化窒化膜膜質を確保するために、窒素の含有atôm%は5以下に抑えられる。最後に、ゲート絶縁膜上にゲート電極12を形成し、シリコン基板内にソース・ドレイン領域13を形成する〔図2(d)〕。

【0014】図3は、本発明の第2の実施の形態を示す断面図である。図3に示されるように、ウェル17の表面領域にはソース・ドレイン領域18と素子分離領域19とが形成され、ウェル上にはゲート絶縁膜15、20とゲート電極14が形成されている。本実施の形態の図1に示した第1の実施の形態と相違する点は、薄い耐酸化性膜15aおよび厚い酸化性膜20a上部に酸化タンタル(Ta_2O_5)などからなる高誘電率膜16が形成され、それぞれの領域に、薄い積層ゲート電極15、厚い積層ゲート電極20が形成されている点である。従来、高誘電率膜をゲート絶縁膜に用いた場合、高誘電率膜の加工が難しいため、異なる膜厚のゲート絶縁膜を形成することが困難であった。本発明によれば、高誘電率膜16の膜厚を変えることなく、薄い耐酸化性膜15aおよび厚い酸化性膜20aの膜厚を変えることにより、異なる膜厚のゲート絶縁膜を形成することができる。また、薄い耐酸化性膜15aおよび厚いゲート酸化性膜20aは高誘電率膜16の下層バリア膜にもなる。

【0015】図4(a)~(e)は、本発明の第2の実施の形態の製造方法を示す工程順の断面図である。ウェル22上に素子分離絶縁膜23を形成して素子領域を区画した後、各素子領域に耐酸化性膜21aを形成する〔図4(a)〕。次に、薄いゲート絶縁膜を形成する領域上をフォトレジスト膜24にて被覆し、これをマスクとしてウェットエッチングにより、厚いゲート絶縁膜を形成する領域の該耐酸化膜21aを除去する〔図4(b)〕。更に酸化または酸化と窒化を組合せた方法により、厚い酸化性膜25aを形成する〔図4(c)〕。

(4)

特開2001-284463

6

次に、酸化タンタルなどにより高誘電率膜26を基板上全面に堆積して、薄い積層ゲート電極21と厚い積層ゲート電極25を形成した〔図4(d)〕後、高誘電率膜26上にW/WN/poly. Siなどの積層膜を堆積しこれをバターニングしてゲート電極27を形成し、ウェル22上にソース・ドレイン領域28を形成する〔図4(e)〕。

【0016】図5(a)~(f)は、本発明の第3の実施の形態の製造方法を示す工程順の断面図である。先の第1、第2の実施の形態では、2つの異なる膜厚のゲート絶縁膜を形成していたが、本実施の形態では、3つの異なる膜厚のゲート絶縁膜を形成する。ウェル30の表面に素子分離絶縁膜31を形成して複数の素子領域に分離した後、各素子領域に薄い耐酸化性のゲート絶縁膜29を形成する〔図5(a)〕。次に、薄いゲート絶縁膜を形成する領域上をフォトレジスト膜32にて被覆し、これをマスクとしてウェットエッチングにより、厚いゲート絶縁膜と中間の厚さのゲート絶縁膜を形成する領域のゲート絶縁膜29を除去する〔図5(b)〕。次に、酸化または酸化と窒化を組合せた方法によりゲート絶縁膜33を形成する〔図5(c)〕。次に、薄いゲート絶縁膜を形成する領域と厚いゲート絶縁膜を形成する領域とをフォトレジスト膜34にて被覆し、これをマスクとして中間の厚さのゲート絶縁膜を形成する領域のゲート絶縁膜33をウェットエッチングにより除去する〔図5(d)〕。更に、酸化または酸化と窒化を組合せた方法により、中間の厚さのゲート絶縁膜36を形成する。このとき、薄いゲート絶縁膜の膜厚は変わらないが、ゲート絶縁膜33は更に酸化または酸化と窒化が行われ、厚いゲート絶縁膜35が形成される〔図5(e)〕。最後に、ゲート絶縁膜上に導電膜を形成しこれをバターニングしてゲート電極37を形成し、ウェル30内にソース・ドレイン領域38を形成する〔図5(f)〕。

【0017】

【実施例】図2を参照して、第1の実施例について説明する。シャロートレンチ法によりシリコン酸化膜からなる350nm厚の素子分離絶縁膜9を形成して素子領域を分離した後、残留酸素0.1ppm以下の高純度窒素を用い1100℃にて熱窒化を行い、薄いゲート絶縁膜7となる膜厚2nmのシリコン窒化膜を形成した〔図2(a)〕。フォトレジスト膜10をマスクとしてホット燐酸を用いて厚いゲート絶縁膜を形成する領域のシリコン窒化膜(薄いゲート絶縁膜7)を除去した〔図2(b)〕。次に、厚いゲート酸化膜11を乾燥酸素を用いた780℃の熱酸化によりシリコン酸化膜を膜厚4nm成長させて形成した〔図2(c)〕。合計膜厚が35nmとなるポリシリコン、窒化タングステン、タングステン積層膜を堆積し、これをバターニングしてゲート電極12を形成し、リン(P)のイオン注入を行ってソース・ドレイン領域13を形成した〔図2(d)〕。

10

20

30

40

50

(5)

特開2001-284463

7

【0018】本実施例による製造方法では、薄いゲート絶縁膜7は、耐酸化性が高いため、熱酸化の際に膜厚は増えず初期に決定した膜厚である。また、厚いゲート絶縁膜11は、一度の酸化で形成する。薄いゲート絶縁膜および厚いゲート絶縁膜をそれぞれ一度で形成するため、両膜厚を安定して形成することができる。更に、薄いゲート絶縁膜7はシリコン窒化膜であるため、pMOSFETのボロンの突き抜けを抑制する効果がある。また、厚いゲート絶縁膜11はシリコン酸化膜であるため、耐圧や経時劣化に関して信頼性が高い。更に、本実施例による製造方法では、ゲート絶縁膜7をリン酸で除去する際〔図2(b)〕、ゲート絶縁膜7はシリコン窒化膜であり、素子分離絶縁膜9はシリコン酸化膜であるため、素子分離絶縁膜9の目減りを抑制できるという利点も得られる。

【0019】次に、図4を参照して第2の実施例について説明する。素子分離絶縁膜23を膜厚350nmのシリコン酸化膜で形成し、耐酸化性膜21aとなるシリコン窒化膜を、高純度のアンモニアガスを用いた、1100℃の直接窒化により膜厚2nmの膜厚に形成した〔図4(a)〕。フォトリソ膜24をマスクとして、厚いゲート絶縁膜を形成する領域の該耐酸化性膜21aをホットリン酸を用いてウェットエッチングにより除去した〔図4(b)〕。酸素80mol%、アンモニア20mol%の混合ガスを用い、780℃の熱酸窒化により厚い酸化性膜25aとなるシリコン酸窒化膜を4nmの膜厚に形成した〔図4(c)〕。高誘電率膜26となる膜厚4nmのTa₂O₅をCVD法を用いて堆積し、Ta₂O₅の酸素欠損を補う熱処理を行って、薄い積層ゲート絶縁膜21と厚い積層ゲート絶縁膜25を形成した〔図4(d)〕。次に、合計膜厚が35nmとなるポリシリコン、窒化タングステン、タングステン積層膜を堆積し、これをパターンニングしてゲート電極27を形成し、リン(P)のイオン注入を行ってソース・ドレイン領域28を形成した〔図4(e)〕。

【0020】次に、図5を参照して本発明の第3の実施例について説明する。シャロートレンチ法により、膜厚350nmのシリコン酸化膜にて素子分離絶縁膜31を形成し、薄いゲート絶縁膜29となるシリコン窒化膜を高純度のアンモニアガスを用いた1100℃の直接窒化法により2nmの膜厚に形成した〔図5(a)〕。薄いゲート絶縁膜を形成すべき領域上をフォトリソ膜32にて覆い、これをマスクとして厚いゲート絶縁膜と中間の厚さのゲート絶縁膜を形成する領域のシリコン窒化膜(29)をホットリン酸を用いたウェットエッチングにより除去した〔図5(b)〕。次に、ゲート絶縁膜33となるシリコン酸化膜を780℃のスチーム酸化により3nmの膜厚に形成した〔図5(c)〕。次に、薄いゲート絶縁膜を形成する領域と厚いゲート絶縁膜を形成する領域をフォトリソ膜34にて被覆し、これをマス

8

クとしてバッファード弗酸を用いたウェットエッチングにより中間の厚さのゲート絶縁膜を形成する領域のゲート絶縁膜33を除去した〔図5(d)〕。次に、中間の厚さのゲート絶縁膜36となるシリコン酸化膜を780℃のスチーム酸化法により4nmの膜厚に形成した〔図5(e)〕。このとき、ゲート絶縁膜33は更に酸化が行われ、膜厚6nmのシリコン酸化膜である厚いゲート絶縁膜35が形成される。その後、先の実施例と同様の方法によりゲート電極37とソース・ドレイン領域38を形成した〔図5(f)〕。

【0021】同一ウェハ上に3つの異なる膜厚のゲート絶縁膜を形成する場合、膜厚を高精度に制御することが難しい。本実施例においては、薄いゲート絶縁膜29はシリコン窒化膜にて形成し、厚いゲート絶縁膜35および中間の厚さのゲート絶縁膜36は、シリコン酸化膜にて形成した。ゲート絶縁膜が厚い場合、エッチングと再酸化で安定して、しかも異なる膜厚のシリコン酸化膜を形成できる。さらに薄いゲート絶縁膜29は耐酸化性のシリコン窒化膜であるため、2回の熱酸化を経ての膜厚が変わることがなく、かつpMOSFETのボロンの突き抜けを抑制する効果がある。また、厚いゲート絶縁膜35および中間の厚さのゲート絶縁膜36はシリコン酸化膜であるため、耐圧や経時劣化に関して信頼性を高くすることができる。

【0022】以上好ましい実施例、実施の形態について説明したが、本発明は、これら実施の形態、実施例に限定されるものではなく、発明の要旨を変更しない範囲において、適宜の変更が可能なものである。例えば、第2の実施の形態と第3の実施の形態とを組み合わせて、高誘電率膜を有する3つの膜厚の異なるゲート電極を形成するようにしてもよい。また、第3の実施の形態の製造方法を拡張して、4つ以上の異なる膜厚のゲート絶縁膜を形成するようにしてもよい。

【0023】

【発明の効果】以上説明したように、本発明の半導体装置は、薄い膜厚のゲート絶縁膜をシリコン窒化膜などの耐酸化性膜にて形成し、厚い膜厚のゲート絶縁膜をシリコン酸化膜またはシリコン酸窒化膜にて形成するものである。同一基板上に2種類以上の安定した膜厚のゲート絶縁膜を形成することが可能になる。さらに、薄いゲート絶縁膜はシリコン窒化膜であるため、pMOSFETのボロンの突き抜けを抑制する効果がある。またシリコン窒化膜は、シリコン酸化膜より誘電率が高いため、同じ電流駆動能力を得ようとした場合厚く設計することができ、トンネルによるゲートリーク電流を抑制することができる。また、厚いゲート絶縁膜は基本的にシリコン酸化膜であるため、耐圧や経時劣化に関して信頼性が高い。更に、薄いゲート絶縁膜をリン酸で除去する際、素子分離絶縁膜はシリコン酸化膜であるため、素子分離絶縁膜の目減りを抑制することができる。また、膜

(6)

特開2001-284463

9

10

厚の異なる絶縁膜上に高誘電率膜を積層した実施例によれば、高誘電率膜を用いた異なる膜厚のゲート絶縁膜を形成することが容易となり、同時に高誘電率膜の下層バリア膜を形成することができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態を説明するための半導体装置の断面図。

【図2】 本発明の第1の実施の形態、第1の実施例の工程順の断面図。

【図3】 本発明の第2の実施の形態を説明するための半導体装置の断面図。

【図4】 本発明の第2の実施の形態、第2の実施例の工程順の断面図。

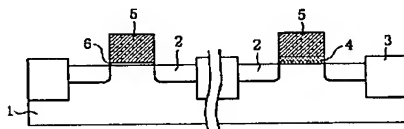
【図5】 本発明の第3の実施の形態、第3の実施例の工程順の断面図。

【図6】 従来例の工程順の断面図。

*【符号の説明】

- 1、8、17、22、30、40 ウェル
 2、13、18、28、38、46 ソース・ドレイン領域
 3、9、19、23、31、41 素子分離絶縁膜
 4、11、35、44 厚いゲート絶縁膜
 5、12、14、27、37、45 ゲート電極
 6、7、29、43 薄いゲート絶縁膜
 10、24、32、34、42 フォトリソグレイ膜
 15、21 薄い積層ゲート絶縁膜
 15a、21a 薄い耐酸化性膜
 16、26 高誘電率膜
 20、25 厚い積層ゲート絶縁膜
 20a、25a 厚い積層ゲート絶縁膜
 33、39 ゲート絶縁膜
 * 36 中間の厚さのゲート絶縁膜

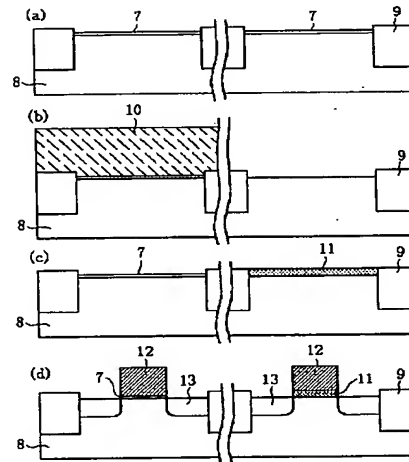
【図1】



- 1 ウェル
 2 ソース・ドレイン領域
 3 素子分離絶縁膜
 4 厚いゲート絶縁膜
 5 ゲート電極
 6 薄いゲート絶縁膜

(図1)

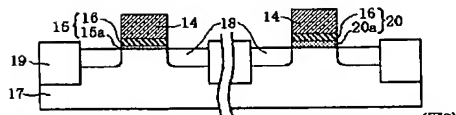
【図2】



- 7 薄いゲート絶縁膜
 8 ウェル
 9 素子分離絶縁膜
 10 フォトリソグレイ膜
 11 厚いゲート絶縁膜
 12 ゲート電極
 13 ソース・ドレイン領域

(図2)

【図3】



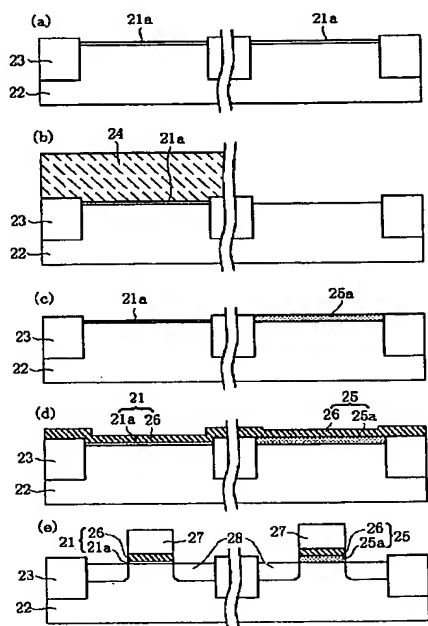
- 14 ゲート電極
 15 薄い積層ゲート絶縁膜
 16a 薄い耐酸化性膜
 16 高誘電率膜
 17 ウェル
 18 ソース・ドレイン領域
 19 素子分離絶縁膜
 20 厚い積層ゲート絶縁膜
 20a 厚い積層ゲート絶縁膜

(図3)

(7)

特開2001-284463

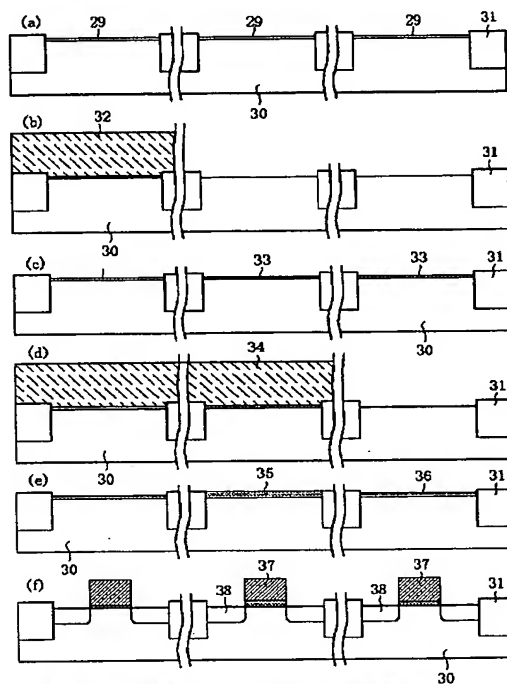
【図4】



- | | |
|---------------|----------------|
| 21 薄い積層ゲート絶縁膜 | 25 厚い積層ゲート絶縁膜 |
| 21a 薄い硝酸化性膜 | 25a 厚い積層ゲート絶縁膜 |
| 22 ウェル | 26 高誘電率膜 |
| 23 素子分離絶縁膜 | 27 ゲート電極 |
| 24 フォトリソスト膜 | 28 ソース・ドレイン領域 |

(図4)

【図5】



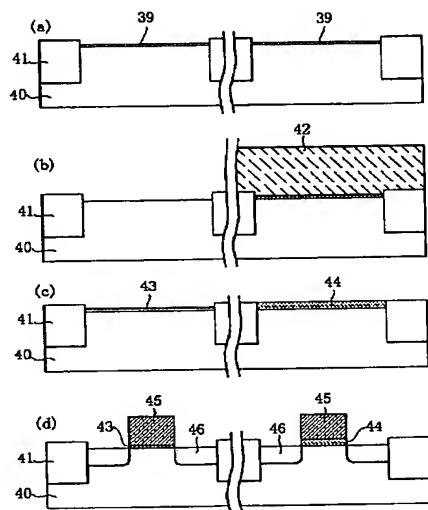
- | | |
|-----------------|-----------------|
| 29 薄いゲート絶縁膜 | 35 厚いゲート絶縁膜 |
| 30 ウェル | 36 中間の厚さのゲート絶縁膜 |
| 31 素子分離絶縁膜 | 37 ゲート電極 |
| 32, 34 フォトリソスト膜 | 38 ソース・ドレイン領域 |
| 33 ゲート絶縁膜 | |

(図5)

(8)

特開2001-284463

【図6】



39 ゲート絶縁膜
 40 ウェル
 41 素子分離絶縁膜
 42 フォトリソグ膜
 43 薄いゲート絶縁膜
 44 厚いゲート絶縁膜
 45 ゲート電極
 46 ソース・ドレイン領域

(図6)

フロントページの続き

(51)Int.Cl.⁷
 H01L 21/318
 27/10

識別記号
 461

FI
 H01L 27/08

テーマコード (参考)
 102C

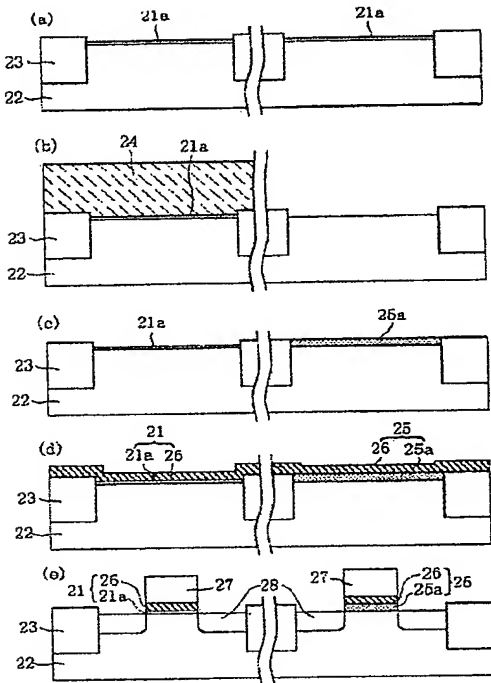
Fターム(参考) 4M104 BB01 CC05 EE03 EE12 EE14
 EE16 EE17 FF13
 5F048 AA05 AA07 AB01 AB03 AB06
 AB07 AC01 BB05 BB09 BB11
 BB12 BB13 BB16 BB17 BG14
 5F058 BA06 BA20 BC02 BC03 BC08
 BC11 BF02 BF55 BF62 BF64
 BJ01
 5F083 GA27 JA05 JA06 JA32 JA39
 JA40 NA01 PR05 PR15 PR36
 ZA12

Japanese materials

(7)

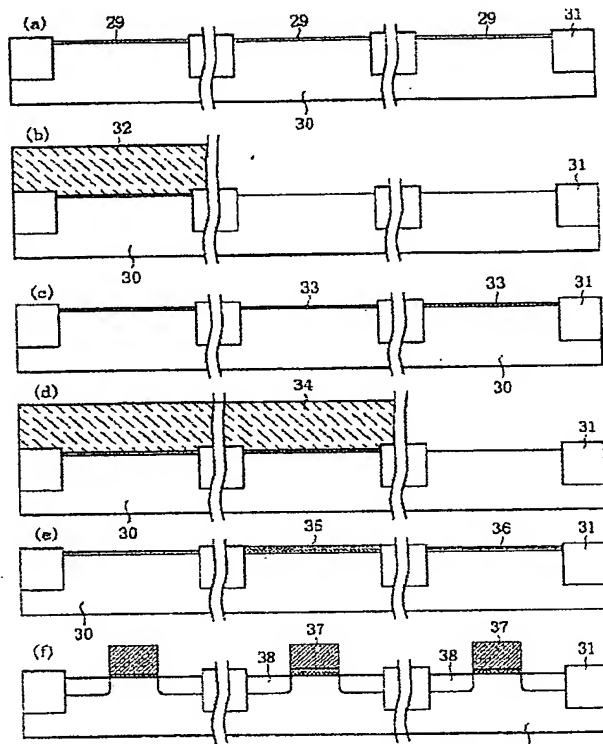
特開2001-284463

Fig. 4
【図4】



- | | |
|---------------|----------------|
| 21 薄い積層ゲート絶縁膜 | 25 厚い積層ゲート絶縁膜 |
| 21a 薄い耐酸化性膜 | 25a 厚い積層ゲート絶縁膜 |
| 22 ウェル | 26 高誘電率膜 |
| 23 素子分離絶縁膜 | 27 ゲート電極 |
| 24 フォトリソist膜 | 28 ソース・ドレイン領域 |
- (図4)

【図5】



- | | |
|------------------|-----------------|
| 29 薄いゲート絶縁膜 | 35 厚いゲート絶縁膜 |
| 30 ウェル | 36 中間の厚さのゲート絶縁膜 |
| 31 素子分離絶縁膜 | 37 ゲート電極 |
| 32, 34 フォトリソist膜 | 38 ソース・ドレイン領域 |
| 33 ゲート絶縁膜 | |
- (図5)

25a: silicon oxynitride film
26: high dielectric film
21a: silicon nitride film

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.